

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

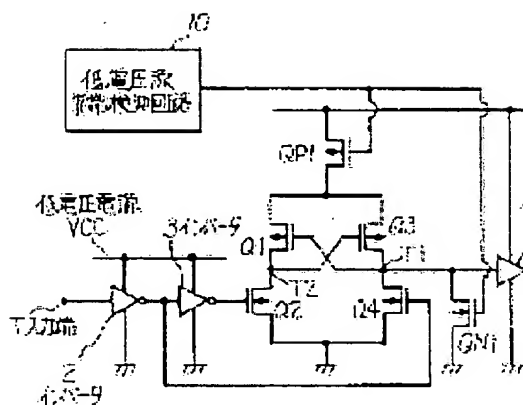
LEVEL SHIFTING CIRCUIT

Patent number: JP5315931
 Publication date: 1993-11-26
 Inventor: TSUDA NORIKO
 Applicant: NEC CORP
 Classification:
 - international: H03K19/0175; H02J1/00
 - european:
 Application number: JP19910296900 19911113
 Priority number(s):

Abstract of JP5315931

PURPOSE: To prevent the generation of a through current and to stabilize a circuit in a high voltage source system by providing a level shifting circuit with a gate circuit for fixing the potential of the level shifting circuit at the occurrence of abnormality.

CONSTITUTION: The gate circuit is constituted by adding a detection circuit 10 for monitoring a low voltage source VCC and detecting its abnormal rise and two transistors (TRs) QP1, QN1 for receiving an output from the circuit 10 by their gates to a conventional level shifting circuit. The n-channel TR QN1 is connected between ground and the output terminal T1 of the level shifting circuit, and if abnormality is detected in the VCC, it is turned on to fix the output terminal T1 to the ground. Thereby an output terminal 5 is initialized to a high impedance state. On the other hand, the sources of two p-channel TRs Q1, Q3 in the level shifting circuit are connected to a high voltage source VDD through the p-channel TR QP1, and when the VCC is abnormal, the QP1 is turned off, so that the level shifting circuit is disconnected from the VDD and a current flow disappears.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-315931

(43) 公開日 平成5年(1993)11月26日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175				
H 0 2 J 1/00	3 0 9 H	7373-5G		
		8941-5J	H 0 3 K 19/00	1 0 1 A

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-296900

(22) 出願日 平成3年(1991)11月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 津田 典子

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

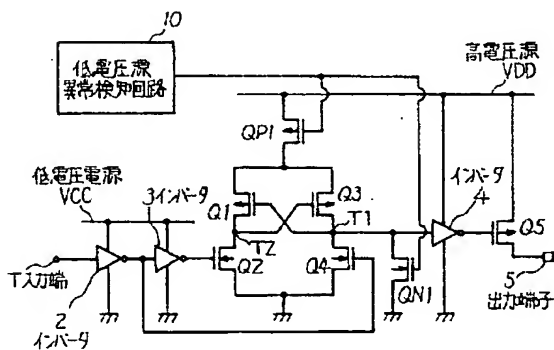
(54) 【発明の名称】 レベルシフト回路

(57) 【要約】

【目的】 低電圧系の回路を高電圧系の回路に変換するレベルシフト回路において、低電圧源の異常上昇を検知してレベルシフト回路を停止させる。

【構成】 低電圧源の異常上昇を検知する検知回路を有し、高電圧源とレベルシフト回路との間にゲートを検知回路の出力に接続したPチャネルトランジスタQ P 1を設け、かつ、レベルシフト回路の出力端とグランドの間に同じくゲートを検知回路の出力に接続したNチャネルトランジスタQ N 1を設けている。

【効果】 システムの異常等により低電圧源が定格異常に上昇したとき、レベルシフト回路に供給される電源を切断して貫通電流の発生を防ぎ、高電圧源系の回路の電位を固定し異常動作を防ぐ。



【特許請求の範囲】

【請求項1】 低電圧源系の回路を高電圧源の回路に変換するレベルシフト回路において、前記低電圧源の定格以上の上昇を検知する検知回路と、前記検知回路の信号を受けてレベルシフト回路の電位を固定するゲート回路とを有することを特徴とするレベルシフト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はレベルシフト回路に関する。

【0002】

【従来の技術】 図3は従来のレベルシフト回路を用いたドライバ回路の一例を示す回路図である。入力端Tは低電圧源（以後VCCと記す）をソースとするインバータ2の入力に接続され、さらにこのインバータ2の出力が同じくVCCをソースとするインバータ3に入力されている。これら2つのインバータ2、3の出力がレベルシフト回路を構成する2つのNチャネル型絶縁ゲート電界効果トランジスタ（以下、Nチャネルトランジスタという）Q2、Q4のゲートに接続されている。レベルシフト回路は高電圧源（以後VDDと記す）とグランド間にPチャネル型絶縁ゲート電界効果トランジスタ（以下、Pチャネルトランジスタという）Q1とNチャネルトランジスタQ2、PチャネルトランジスタQ3とNチャネルトランジスタQ4が各々直列に接続される構成となっており、PチャネルトランジスタQ1のゲートにはPチャネルトランジスタQ3とNチャネルトランジスタQ4の接続点T1が接続され、一方PチャネルトランジスタQ3のゲートにはPチャネルトランジスタQ1とNチャネルトランジスタQ2の接続点T2が接続されている。

【0003】 レベルシフト回路の出力T1はVDDをソースとするインバータ4を経て、そのドレインが出力端子5に接続されたPチャネルトランジスタQ5のゲートに入力される。ここでレベルシフト回路以降のトランジスタQ1～Q5、インバータ4には高電圧が印加されるため高耐圧設計となっている。

【0004】 動作としては入力端Tに入力されたVCCレベルの信号がレベルシフト回路によってVDDレベルの信号に変換され、ICの出力端子5には入力端Tが0のときハイ・インピーダンス、Tが1すなわちVCCのとき1すなわちVDDが出力される。

【0005】 図5の波形図に示すようにVCCが異常に上昇すると（時刻t₀）、VCC系のトランジスタがブレイクダウンし、T1の電位は不定となりT1レベルとなる（図5（c））。出力端子5はこの信号レベルによりオンまたはオフする（図5（d））。

【0006】

【発明が解決しようとする課題】 一般に自動車内で使用される2電源を有するICには、バッテリーからの高電圧源と、それを3端子レギュレータ等で降圧した低電圧

源が用いられる。

【0007】 3端子レギュレータの異常により低電圧源が上昇し低電圧源系のトランジスタの耐圧を越えると、トランジスタはブレイクダウンしてその出力は不足となる。

【0008】 レベルシフト回路の入力も不足となるため貫通電流が発生し、レベルシフト回路の出力、さらにICの出力端子も不定となってシステム全体に異常を引き起こすという問題点があった。

10 【0009】

【課題を解決するための手段】 本発明のレベルシフト回路は、低電圧源を監視し、異常な上昇を検知する検知回路と、その信号を受けて異常発生時にレベルシフト回路の動作を停止し電位を固定するゲート回路を備えている。

【0010】

【実施例】 次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の回路図である。図3の従来のレベルシフト回路に対して低電圧源（VCC）を監視してその異常上昇を検知する検知回路10と、その出力をゲートに受ける2つのトランジスタQP1、QN1が追加してゲート回路を構成する。NチャネルトランジスタQN1はグランドとレベルシフト回路の出力端T1との間に接続されVCCに異常が検出された場合にオンし、出力端T1をグランドに固定する。これにより出力端子5はハイ・インピーダンス状態に初期化される。一方レベルシフト回路の2つのPチャネルトランジスタQ1、Q3のソースはPチャネルトランジスタQP1を介してVDDと接続されVCCが異常時にはQP1がオフすることによってレベルシフト回路はVDDから切り離され電流が流れなくなる。

【0011】 以上、記述した通り貫通電流を防ぎ、出力を初期化、固定できる。

【0012】 図2は本発明の第2の実施例を示す回路図である。

【0013】 図3に対してNチャネルトランジスタQN1、QN2が追加されてゲート回路を構成する。NチャネルトランジスタQN2はNチャネルトランジスタQ2のゲートに接続されVCC以上検知時にオンして、QN2をオフ状態にし貫通電流を防ぐ。一方NチャネルトランジスタQN1は図1の第1の実施例と同様である。以上のようにして図1と同様の効果を得られる。

【0014】 尚VCC異常検知回路は図4に一例を示すようにコンパレータ6を用いて容易に構成できる。VDDとグランド間に直列に接続された2つの抵抗R1、R2による分圧を利用して、コンパレータの（－）側入力にはVCC定格以上の検知したいレベルを入力しておけば良い。（＋）側入力V5にVCC又はそれに応じた電圧が入力される。

50 【0015】 先に従来技術の不都合を説明した図5を用

3

いて、本発明のレベルシフト回路の動作を説明する。

【0016】時刻 t において VCC が異常検知レベルを越すと（図5（a））、検知回路10の出力信号が1すなわち VDD （図5（b））になり、それにより $T1$ は0に固定され（図5（c））、出力端子5はハイ・インピーダンス（図5（d））となる。

【0017】

【発明の効果】以上説明した様に本発明は電源系統の故障などによる低電圧源の異常上昇を検知し、その場合にレベルシフト回路の電位を固定するゲート回路を設けたので、貫通電流を防ぎ、高電圧源系の回路を安定化できるという効果を有している。

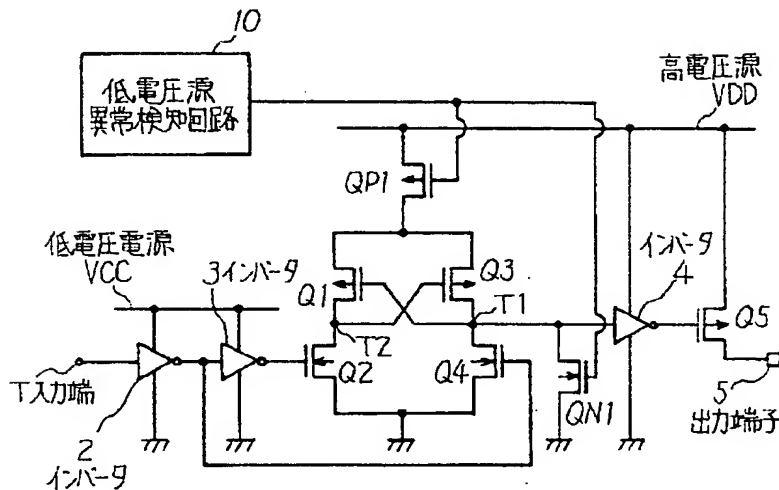
【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図。

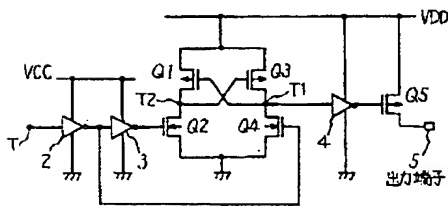
【図2】本発明は第2の実施例を示す回路図。

【図3】従来技術を示す回路図。

【図1】



【図3】



4

【図4】図1および図2で示した低電圧源異常検出回路の一例の回路図。

【図5】従来技術および本発明のレベルシフト回路の動作を示す波形図。

【符号の説明】

2, 3, 4 インバータ

5 出力端子

6 コンパレータ

10 低電圧源異常検出力回路

Q1, Q3, Q5, QP1 Pチャネルトランジスタ

Q2, Q4, QN1, QN2 Nチャネルトランジスタ

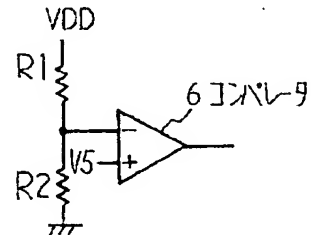
T 入力端

T1, T2 レベルシフト回路の出力端

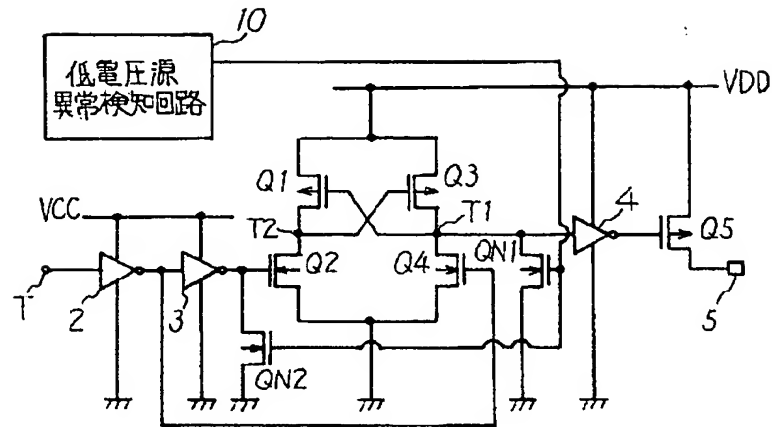
VDD 高電圧源

VCC 低電圧源

【図4】



【図2】



【図5】

